



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: YASUSHI MIYAJIMA, ET AL.)
)
SERIAL NO.: 09/820,262) Group Art Unit:
)
FILED: March 28, 2001) Examiner:
)
FOR: DISPLAY DEVICE OF ACTIVE MATRIX)
TYPE)

CLAIM FOR PRIORITY

The Assistant Commissioner for
Patents and Trademarks
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of the Japanese Patent Application No. 2000-087770 filed on March 28, 2000. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of March 28, 2000 of the Japanese Patent Application No. 2000-087770, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

YASUSHI MIYAJIMA, ET AL.

CANTOR COLBURN LLP
Applicants' Attorneys

By: 

Daniel F. Drexler
Registration No. 47,535
Customer No. 23413

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D. C. 20231

ON July 10, 2001
DATE OF DEPOSIT
Jennifer Mason
TYPED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE
J. Mason 7/10/01
SIGNATURE DATE

Date: July 10, 2001
Address: 55 Griffin Road South, Bloomfield, CT 06002
Telephone: 860-286-2929



本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application

2000年 3月28日

出 願 番 号
Application Number

特願2000-087770

出 願 人
Applicant(s)

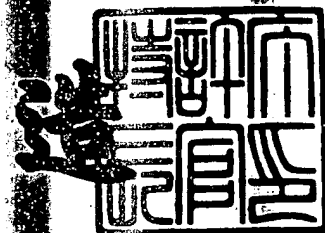
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月30日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3025104



Translation of Priority Certificate

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: March 28, 2000

Application Number: Patent Application
No. 2000-087770

Applicant(s): SANYO ELECTRIC CO., LTD.

March 30, 2001

Commissioner, Kozo OIKAWA
Patent Office

Priority Certificate No. 2001-3025104

【書類名】 特許願

【整理番号】 KHB0991104

【提出日】 平成12年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 宮島 康志

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 古河 雅行

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型液晶表示装置

【特許請求の範囲】

【請求項 1】 複数のゲート線と、

前記複数のゲート線に交差する複数のデータ線と、

前記複数のゲート線と前記複数のデータ線の各交点に対応して配置され、ゲート電極及びソース領域及びドレイン領域を備え、前記ゲート線の一本に前記ゲート電極が接続され、前記データ線の一本に前記ドレイン領域が接続された複数の薄膜トランジスタと、

前記薄膜トランジスタのソース領域にそれぞれ接続された複数の画素電極と、

前記複数のゲート電極の少なくとも一端に接続され、前記ゲート線のうちの一本を順次選択し、該選択したゲート線にパルス状のゲート電圧を順次印加するゲート線ドライバと、

前記複数の画素電極に、液晶層を挟んで対向する対向電極と、

を有するアクティブマトリクス型液晶表示装置において、

前記ゲート線ドライバは、前記ゲート電圧は立ち上がりに比較してたち下がりがなまらせて印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 複数のゲート線と、

前記複数のゲート線に交差する複数のデータ線と、

前記複数のゲート線と前記複数のデータ線の各交点に対応して配置され、ゲート電極及びソース領域及びドレイン領域を備え、前記ゲート線の一本に前記ゲート電極が接続され、前記データ線の一本に前記ドレイン領域が接続された複数の薄膜トランジスタと、

前記薄膜トランジスタのソース領域にそれぞれ接続された複数の画素電極と、

前記複数のゲート電極の少なくとも一端に接続され、前記ゲート線のうちの一本を順次選択し、該選択したゲート線にパルス状のゲート電圧を順次印加するゲート線ドライバと、

前記複数の画素電極に、液晶層を挟んで対向する対向電極と、

を有するアクティブマトリクス型液晶表示装置において、

前記ゲート線ドライバは、前記ゲート電圧の立ち下がりに要する時間と立ち上がりに要する時間とを比較すると、立ち下がりに要する時間の方が長くなるように、前記ゲート電圧を印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 3】 前記ゲート電圧は、画素電極への電圧印加が終了してから、次の行の画素電極への電圧印加が開始されるまでの時間 t の、少なくとも半分の時間 $t/2$ をかけて立ち下がることを特徴とする請求項 1 もしくは請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記ゲート電圧は、立ち上がりに要する時間の少なくとも 10 倍の時間をかけて立ち下がることを特徴とする請求項 1 もしくは請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、

前記ゲートバッファは、ドレイン領域が前記ゲート線に接続され、かつソース領域が接地された薄膜トランジスタを少なくとも有し、

前記ゲート線及びこれに接続された薄膜トランジスタのゲート電極とをあわせた抵抗値を R_1 、前記ゲート線と前記データ線とのなす容量と前記ゲート線と前記対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計を C_1 、前記ゲートバッファの薄膜トランジスタのチャネル抵抗値を R_2 、前記ゲートバッファの薄膜トランジスタの活性層と前記ゲート電極のなす容量を C_2 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、

$$2.5(R_1 + R_2) \cdot (C_1 + C_2) < t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

を満たすことを特徴とする請求項 1 もしくは請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、

前記ゲートバッファは薄膜トランジスタを有し、

前記薄膜トランジスタの電流が流れる方向の長さ L と、前記長さに直行する方向

の幅Wは、

$$W/L < 1$$

を満たすことを特徴とする請求項1乃至請求項5のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、

前記ゲートバッファは、ソース領域が電源に接続されたpチャネル型の薄膜トランジスタと、ソース領域が接地されたnチャネル型の薄膜トランジスタとを有し、

薄膜トランジスタの電流が流れる方向の長さをL、Lと直交する方向の幅をWとすると、

前記pチャネル型のトランジスタのW/Lの値と前記nチャネル型のトランジスタのW/Lの値が異なることを特徴とする請求項1乃至請求項6のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項8】 (前記pチャネル型のトランジスタのW/L) / (前記nチャネル型のトランジスタのW/L) > 1

を満たすことを特徴とする請求項7に記載のアクティブマトリクス型液晶表示装置。

【請求項9】 (前記pチャネル型のトランジスタのW/L) / (前記nチャネル型のトランジスタのW/L) > 5

を満たすことを特徴とする請求項7に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の画素電極がマトリクス状に配置されており、各画素電極にスイッチング素子として薄膜トランジスタ (Thin Film Transistor; 以下TF Tと記す) が接続されたアクティブマトリクス型液晶表示装置 (Liquid Crystal Display; LCD) に関し、特に、ゲート線ドライバの改良されたLCDに関する。

【 0 0 0 2 】

【従来の技術】

図 1 にアクティブマトリクス型 LCD の平面図を示す。ゲート線ドライバ 1 には、行方向に延びる複数のゲート線 2 が接続されており、データ線ドライバ 3 には、列方向に延びる複数のデータ線 4 が接続されている。ゲート線 2 とデータ線 4 との交点には、画素 TFT 5 を介して画素電極 6 が接続されている。

【 0 0 0 3 】

ゲート線ドライバ 1 は、ゲート線 2 にゲート電圧を印加する複数のゲートバッファ 8 のうちから 1 つを選択するセレクトア 7 を有する。セレクトア 7 は、複数のゲートバッファ 8 のうちの一つを選択し、これの出力をハイ、残りをローにする。

【 0 0 0 4 】

ゲートバッファ 8 は、電源 8 a と接地との間に直列に接続される p チャネル型の薄膜トランジスタ（以下 p-ch トランジスタ） 8 b 及び、 n チャネル型の薄膜トランジスタ（以下 n-ch トランジスタ） 8 c をそれぞれ有している。セレクトア 7 の出力がトランジスタ 8 b、 8 c のゲート電極に入力され、両トランジスタ 8 b、 8 c 間の接続点にゲート線 2 が接続されている。セレクトア 7 の出力の一つがローになると、その出力を受けるゲートバッファ 8 は、 p-ch トランジスタ 8 b がオンし、 n-ch トランジスタ 8 c がオフして、ゲート線 2 に電源から p-ch トランジスタ 8 b を介して電源電圧が供給される。これによってゲート線 2 に接続された画素 TFT 5 全てがオンして、画素電極 6 への書き込みを可能にする。

【 0 0 0 5 】

データ線ドライバ 3 は複数のデータ線 4 に接続され、表示映像に対応したデータ電圧を各データ線 4 に印加する。選択されたゲート線 2 に接続された画素 TFT 5 は、ゲートが開いているので、データ線 4 に印加されるデータ電圧が画素 TFT 5 を介して画素電極 6 に書き込まれる。これにより、画素電極 6 に対応する液晶の配向を変化させて表示を行う。

【 0 0 0 6 】

所定期間（詳しくは水平走査期間）表示を行った後、セレクトア 7 は次のゲート線 2 を選択する。これによって、それまで選択されていたゲートバッファ 8 に対

するセクタ 7 の出力はハイになり、p-ch トランジスタがオフし、代わって n-ch トランジスタがオンして、そのゲート線 2 が接地電位に引き下げられると、各画素 TFT 5 のゲートがオフする。

【 0 0 0 7 】

図 2 は、LCD の 1 画素の等価回路である。ゲート線 2 及びデータ線 4 に接続された画素 TFT 5 が画素電極 6 に接続されている。画素電極 6 は、液晶 11 を介して対向電極 Vcom との間に容量 C_{LC} を形成している。画素電極 6 の印加電圧を保持するために、液晶容量 C_{LC} と並列に補助容量 C_{SC} が設けられている。以上が意図的に形成した回路であるが、画素電極 6 とゲート線 2 は、隣接配置されるため、ここに寄生容量 C_{GS} が生じる。寄生容量 C_{GS} が大きくなると、ゲート線 2 に印加されるゲート電圧の影響を受けて画素電極 6 の電位が変動するなどの問題が生じる。従来は寄生容量 C_{GS} の影響を低減するため、補助容量 C_{SC} の大きさを寄生容量 C_{GS} に比較して十分に大きく設定していた。

【 0 0 0 8 】

さて、近年、デジタルスチルカメラやデジタルビデオカメラのファインダなどのように、携帯電子機器の表示装置として LCD が採用されているが、携帯機器に搭載するために、画素数を維持したまま画面サイズを縮小して微細化する要求がある。

【 0 0 0 9 】

【発明が解決しようとする課題】

上述したように、画面サイズを縮小して、微細化すると、画素電極の面積が縮小される。また、補助容量 C_{SC} を形成するための電極も同様に縮小される。従って、液晶容量 C_{LC} 及び補助容量 C_{SC} の大きさは微細化によって小さくなる。一方、加工可能な最小線幅は一定であるため、寄生容量 C_{GS} は、一定値以上小さくすることは困難である。従って、LCD を微細化すると、液晶容量 C_{LC} 、補助容量 C_{SC} に比較して、相対的に寄生容量 C_{GS} の値が大きくなる。

【 0 0 1 0 】

寄生容量 C_{GS} が大きくなると、ゲート電圧のたち下がりに引っ張られる形で画素電極の電位が変動するいわゆるドロップ電圧 ΔV が大きくなる問題が生じる。

ドロップ電圧 ΔV が大きくなると、例えば、交流駆動した際に列毎に輝度差が生じたり、また、画素電極に印加する電圧の中心値 V_c が対向電極の電位 V_{com} とずれたりするなどの問題が生じる。

【0011】

そこで本発明は、液晶容量 C_{LC} 、補助容量 C_{SC} に比較して、相対的に寄生容量 C_{GS} が大きくなったとしても、ドロップ電圧 ΔV が大きくならないようにし、微細化しても表示品質が低下しないLCDを提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明は、上記課題を解決するためになされたものであり、複数のゲート線と、複数のゲート線に交差する複数のデータ線と、ゲート電極及びソース領域及びドレイン領域を備え、ゲート線の一本にゲート電極が接続され、データ線の一本にドレイン領域が接続された薄膜トランジスタと、薄膜トランジスタのソース領域に接続された画素電極と、複数のゲート電極の少なくとも一端側に接続され、ゲート電極にパルス状のゲート電圧を印加するゲート線ドライバと、を有するアクティブマトリクス型液晶表示装置において、ゲート電圧の立ち下がりになませる、もしくは立ち上がりと比較して立ち下がりの時間を長くする手段を有するアクティブマトリクス型液晶表示装置である。

【0013】

また、ゲート電圧は、ある行の画素電極への電圧印加が終了してから、次の行の画素電極への電圧印加が開始されるまでの時間 t の、少なくとも半分の時間 $t/2$ をかけて立ち下がる。

【0014】

また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは、ソース領域がゲート線に接続され、かつドレイン領域が接地された薄膜トランジスタを少なくとも有し、ゲート線及びこれに接続された薄膜トランジスタのゲート電極とをあわせた抵抗値を R_1 、ゲート線とデータ線とのなす容量とゲート線と対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計を C_1 、ゲートバッフ

アの薄膜トランジスタのチャネル抵抗値を R_2 、ゲートバッファの薄膜トランジスタの活性層とゲート電極のなす容量を C_2 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、

$$2.5(R_1 + R_2) \cdot (C_1 + C_2) < t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

を満たす。

【0015】

また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは薄膜トランジスタを有し、薄膜トランジスタの電流が流れる方向の長さ L と、長さに直行する方向の幅 W は、

$$W/L < 1$$

を満たす。

【0016】

また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは、ソース領域が電源に接続された p チャネル型の薄膜トランジスタと、ドレイン領域が接地された n チャネル型の薄膜トランジスタとを有し、薄膜トランジスタの電流が流れる方向の長さを L 、 L と直交する方向の幅を W とすると、

$$(p \text{ チャネル型のトランジスタの } W/L) / (n \text{ チャネル型のトランジスタの } W/L) > 5$$

を満たす。

【0017】

【発明の実施の形態】

本願の構成は図1に示した平面図と基本的に同様である。即ちゲート線ドライバ1に、列方向に延びる複数のゲート線2が接続され、データ線ドライバ3に、行方向に延びる複数のデータ線4が接続され、ゲート線2とデータ線4との交点には、画素 TFT 5 を介して画素電極6が接続されている。

【0018】

本実施形態のポイントは、ゲート電圧のパルス波形にある。図3(a)は、従来理想的とされていたゲート電圧のパルス波形である。第1のタイミング T_1 で波

形が垂直に立ち上がり、第 2 のタイミング T2 で垂直に立ち下がる矩形波である。これに対し、本実施形態は、図 3 (b) に示すように、ゲート電圧のパルス波形をなまらせることに特徴を有する。即ち、図 3 (b) に示すように、第 1 のタイミング T1 で立ち上がり、第 2 のタイミング T2 で立ち下がり始め、第 3 のタイミング T3 で完全に立ち下がるような波形を理想とする。

【 0 0 1 9 】

このような波形のパルスでゲート電圧を入力すると、ドロップ電圧 ΔV を小さくすることができる。ドロップ電圧 ΔV は電圧変化の時定数の関数であるため、ゲート電圧が徐々に変化する図 3 (b) や図 3 (c) の波形であれば、ドロップ電圧 ΔV が小さくなるのである。

【 0 0 2 0 】

次にゲート電圧の立ち下がり波形のなませ方について説明する。図 4 (a) は、LCD を交流駆動する際のあるデータ線に印加されるデータ電圧、図 4 (b) は、あるゲート線に印加されるゲート電圧、図 4 (c) は図 4 (b) の次の行のゲート線に印加されるゲート電圧をそれぞれ示すタイミングチャートである。ゲート電圧がオンしている期間 T は、データ電圧が画素電極 6 に印加されて昇圧される、いわゆる書き込み期間である。そして、帰線期間 t を隔てて、次の行の画素電極 6 に書き込みを行う。ゲート電圧は、帰線期間 t の間に立ち下がり、次の書き込み期間 T に同期して次の行のゲート電圧が立ち上がる。従来、図 3 (a) のパルス波形（実際には若干なまっている）で駆動する場合、ゲート電圧の立ち下がり要する時間は、帰線期間 t に対して $t/100$ 程度であった。これに対し、本願のゲート電圧は、 $t/2$ 程度かけて徐々に立ち下がる。

【 0 0 2 1 】

ゲート電圧が立ち上がるのに要する時間は $t/100$ 程度であるので、立ち下がり要する時間は立ち上がり要する時間の 50 倍である。

【 0 0 2 2 】

もちろん $t/2$ 以上の時間をかけて立ち下がるようにすれば、より ΔV を小さくすることができる。しかし、立ち下がり要する時間が t を越えると、次の行の画素 T F T 5 のデータ電圧が印加されはじめてしまい、画像表示動作に支障が

出る。従って、たち下がりに要する時間は、 t 未満である必要がある。そして、画素 T F T 5 の製造誤差による各画素 T F T 5 のたち下がり時間のばらつきを考慮すると、 $t/2$ でたち下がるように設定するのが良い。

【 0 0 2 3 】

ところで、一般的にある電気回路が電荷放出する時の電圧の低下は $e^{-(t/RC)}$ に比例する。ここで、 R は、回路の抵抗、 C は回路の容量である。ゲート線 2 の電圧低下に関しては、

$R = (\text{選択されたゲート線 2 の抵抗値}) + (\text{そのゲート線 2 に接続された全ての画素 T F T 5 のゲート電極部の抵抗値}) + (\text{ゲートバッファ 8 の n-ch トランジスタ 8 c のチャネル抵抗})$

$C = (\text{選択されたゲート線 2 がほかの電極などと形成する容量}) + (\text{そのゲート線 2 に接続された全ての画素 T F T 5 のゲート電極が形成する容量}) + (\text{ゲートバッファ 8 の n-ch トランジスタ 8 c のゲートソース、ゲートドレイン容量})$ である。例えばゲート電圧が印加する値の 10% 以下となったとき画素 T F T 5 のゲートが閉じるとすると、帰線期間内にゲートが閉じるための条件は、

$$t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

である。ただし、

$R_1 = \text{ゲート線の抵抗値とこれに接続された画素 T F T のゲート電極の抵抗値とを合わせた抵抗値}$

$C_1 = \text{ゲート線とデータ線のなす容量とゲート線と対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計}$

$R_2 = \text{ゲートバッファの n-ch トランジスタ 8 c のチャネル抵抗値}$

$C_2 = \text{ゲートバッファの薄膜トランジスタの活性層とゲート電極のなす容量}$

$t = \text{画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間}$

とする。帰線期間 t は L C D の駆動周波数や画素数によって決定され、 R_1 、 C_1 は、L C D の画素数やサイズによって決定される。ゲートバッファ 8 の n-ch トランジスタ 8 c を適切に設計することで、 R_2 と C_2 を調整し、上記式を満たすようにすることができる。さらに、

$$2.5(R_1 + R_2) \cdot (C_1 + C_2) < t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

を満たすようにn-chトランジスタ8cを設計することによって、ゲート電圧のたち下がりになませた上で、所定の期間内にたち下げを終了することができる。

【0024】

なお、上記説明ではゲート電圧のたち下がりには要する時間を帰線期間tとして説明した。しかし、例えばデータ電圧を印加する前にデータ線4を所定の電圧にプリチャージするなどする場合、ゲート電圧のたち下がりには要する時間として許容される時間は帰線期間よりも短縮される。その場合、上記説明の帰線期間tをデータ電圧の印加が終了してからプリチャージを開始するまでの期間と読み替える。即ち、プリチャージが開始される前までに画素TFT5のたち下がりが完了している必要があり、この期間内において徐々にたち下げるようにゲートバッファを設計する。

【0025】

次に、なまった波形のゲート電圧を印加する具体的方法について述べる。図1において、ゲート電圧は、セクタ7の出力がLになるとトランジスタ8bのゲートがオンして、電源8aよりトランジスタ8bを介してゲート線2にゲート電圧を印加する。そして、ゲート電圧をたち下げるときは、セクタ7の出力がHになってトランジスタ8cがオンし、トランジスタ8cを介してゲート線2に蓄積された電荷を放出する。この時、トランジスタ8cの最大電流を小さく設定する。そうすると、電荷を放出するまでに一定の時間が必要になり、ゲート電圧のたち下がりの波形をなませることができる。そして、トランジスタ8cの最大電流を調整することでゲート電圧のなまり方を調整することができる。

【0026】

トランジスタの最大電流量は一般的に、ゲート長Lが長く、ゲート幅Wが狭い方が小さくなる。従って、ゲート長とゲート幅の比W/Lが小さくなるほどトランジスタの最大電流量は小さくなる。図5は、pchトランジスタのW/Lを一定として、n-chトランジスタのW/Lを変化させたとき、n-chトランジスタのW/Lの変化に対するΔVの変化を示す図である。ΔVの値はLCDのサイズや、各膜の膜厚など様々な要因によって変化するが、図5は、それらのパラメータは全

て固定している。n-chトランジスタの W/L が小さい、即ち長さに比較して幅が狭いほどドロップ電圧 ΔV が小さくなることが分かる。

【 0 0 2 7 】

ゲートバッファは、図1に示したように、p-chトランジスタとn-chトランジスタを組み合わせた構成である。本願の主旨は、ゲート電圧の立ち上がり波形をなまらせることに特徴がある。ゲート電圧の立ち上がりに関しては、できるだけ早く立ち上がった方が、よりゲート電極にデータ電圧を印加する時間が確保できるので、図3(b)に示したパルス波形が最も理想的であると言える。ゲート電圧を立ち上げるときは、p-chトランジスタ8bを介して電圧を印加し、たち下げる時はn-chトランジスタ8cを介して放電するので、p-chトランジスタ8bの最大電流値を大きく、n-chトランジスタ8cの最大電流を小さく設定しておけば図3(b)のパルス波形が得られる。この場合、ゲートバッファのp-chトランジスタの W/L とn-chトランジスタの W/L は大きく異なり、例えば

p-chトランジスタの W/L : n-chトランジスタの $W/L = 10 : 1$

となる。

ただし、画素電極に書き込む時間が十分に確保されていれば、図3(c)に示すように、ゲート電圧の立ち上がりがなまってもよい。

【 0 0 2 8 】

上記の実施例以外にゲート電圧波形をなまらせる手段としては、ゲートバッファ8とゲート線4との間に抵抗やコンデンサを配置することも考えられる。もちろんゲート電圧の立ち上がりの波形もなまり、図3(c)に示した波形となる。この波形でも、書き込み期間が十分に設けられていれば問題ないが、抵抗やコンデンサによってなまらせると、パルス全体が遅延する問題が生じる。

【 0 0 2 9 】

本発明は、もちろんLCDのサイズに関わらず実施可能であるが、小型のLCDに適用すればより好適である。以下にその理由を述べる。ゲート線2は、所定の抵抗値を有しているので、ゲートドライバ8に近い側の画素TF T5とゲートドライバ8から遠い側の画素TF T5とではゲート電圧のなまり方が異なる。これは、大型のLCDであるほどゲート線2が長いので顕著である。これに対し、

小型のLCD、例えば2インチ型以下、さらには、ビューファインダなどに用いられる0.55インチ型以下のLCDであれば、ゲート線2の長さが短いため、ゲート線2の抵抗による遅延は問題とならない。また、寄生容量が相対的に大きくなる問題は、特に小型LCDで顕著である。従って、本発明は、小型LCDに適用して最も効果的であるといえる。

【0030】

【発明の効果】

以上に述べたように、本発明によれば、たち下がりをなまらせた波形のゲート電圧を印加するので、ゲート電圧の変動によって生じるドロップ電圧 ΔV を小さく抑えることができ、表示品質の高いアクティブマトリクス型液晶表示装置を提供することができる。

【0031】

また、ゲート電圧は、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間 t の、少なくとも半分の時間 $t/2$ をかけてたち下がるので、充分に ΔV を抑制することができる。

【0032】

また、ゲート線及びこれに接続された薄膜トランジスタのゲート電極とを合わせた抵抗値を R_1 、そのカップリング容量を C_1 、ゲートバッファの薄膜トランジスタのチャネル抵抗値を R_2 、そのカップリング容量を C_2 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、

$$2.5(R_1 + R_2) \cdot (C_1 + C_2) < t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

を満たすので、所定の期間内に十分ゲート電圧がたち下がると共に、 ΔV を抑制することができる。

【0033】

また、ゲートバッファの薄膜トランジスタは、

$$W/L < 1$$

を満たすので、最大電流量が小さく、もって、ゲート電圧のたち下がりをなまらせることができる。

【0034】

また、ゲートバッファのp-chトランジスタとn-chトランジスタでは、
 $(\text{p-chトランジスタの}W/L) / (\text{n-chトランジスタの}W/L) > 5$
を満たすので、ゲート電圧の立ち上がりは早く、かつゲート電圧の立ち下がり
をなまらせることができる。

【図面の簡単な説明】

【図 1】

液晶表示装置を示す平面図である。

【図 2】

液晶表示装置の 1 画素を示す等価回路である。

【図 3】

ゲート線に入力するパルス波形を示す図である。

【図 4】

データ線及びゲート線に入力される電圧を示すタイミングチャートである。

【図 5】

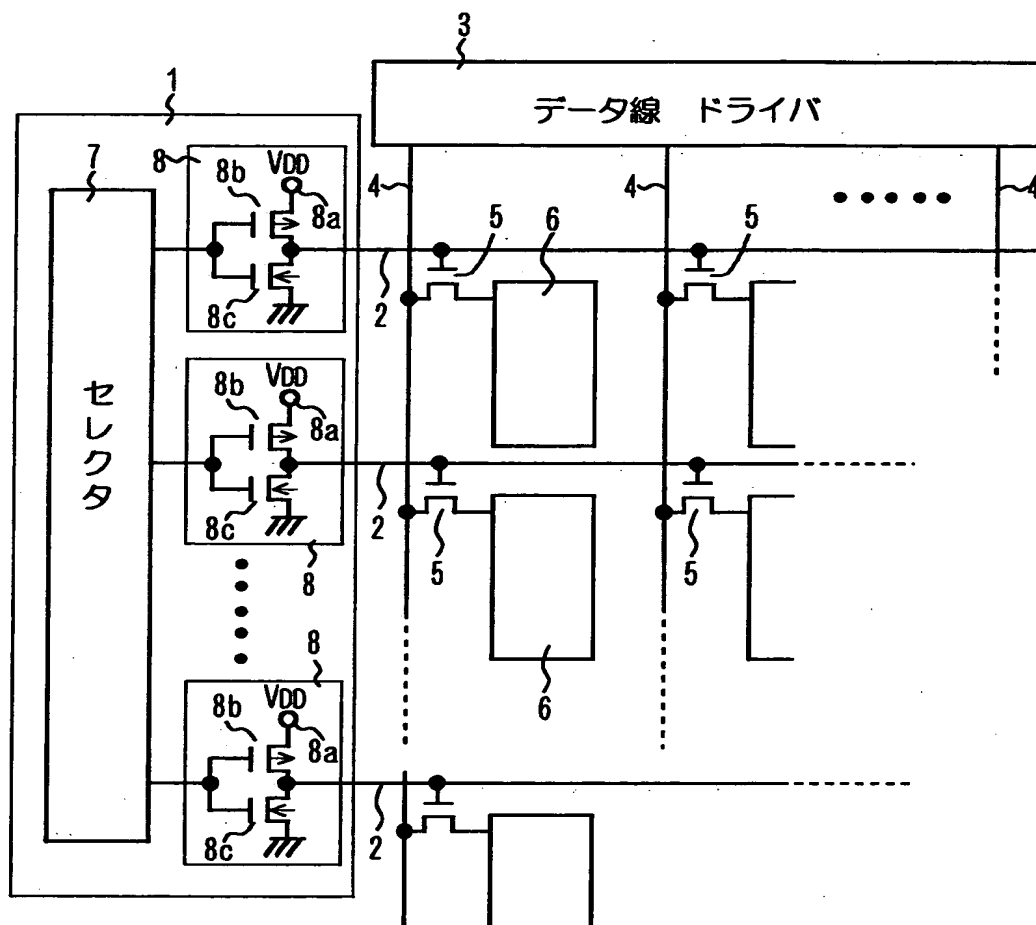
ゲートバッファトランジスタの縦横比による ΔV の変化を示す図である。

【符号の説明】

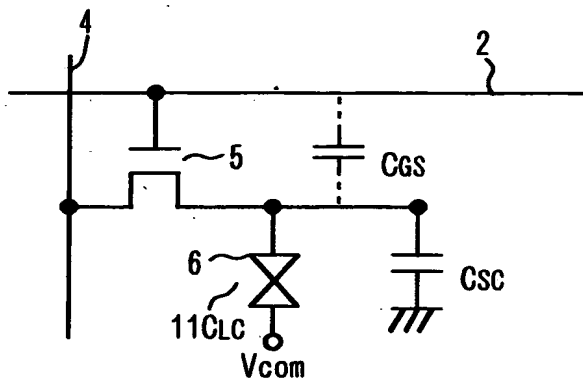
- | | |
|--------------|-------------|
| 1 : ゲート線ドライバ | 2 : ゲート線 |
| 3 : データ線ドライバ | 4 : データ線 |
| 5 : 薄膜トランジスタ | 6 : 画素電極 |
| 7 : セレクタ | 8 : ゲートバッファ |

【書類名】 図面

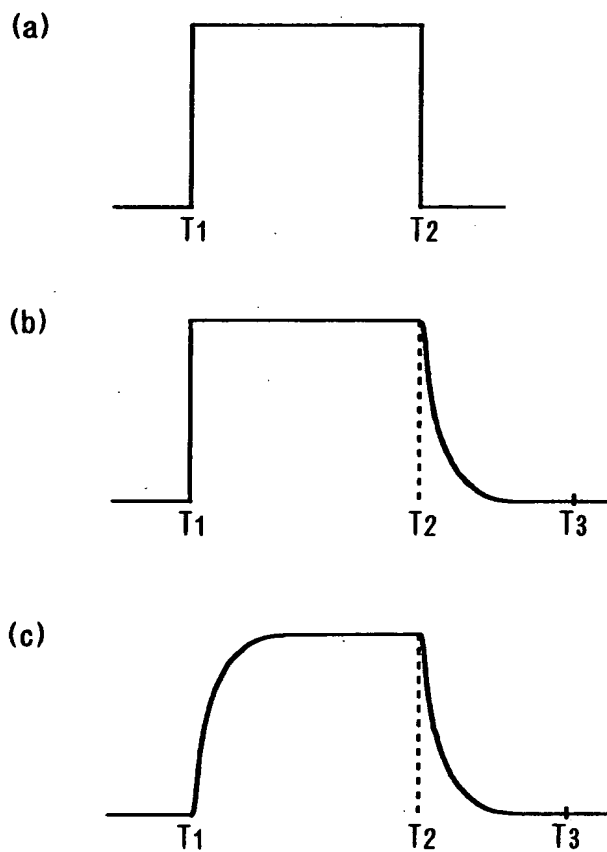
【図 1】



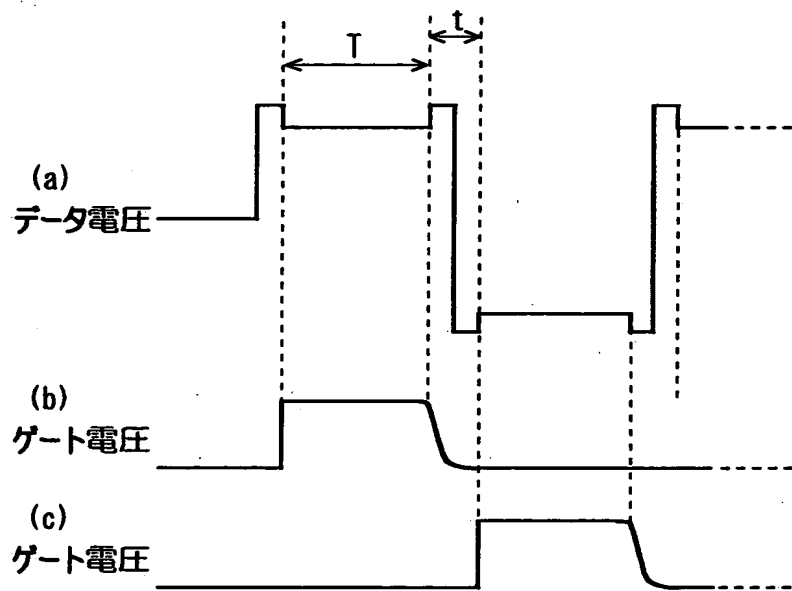
【図2】



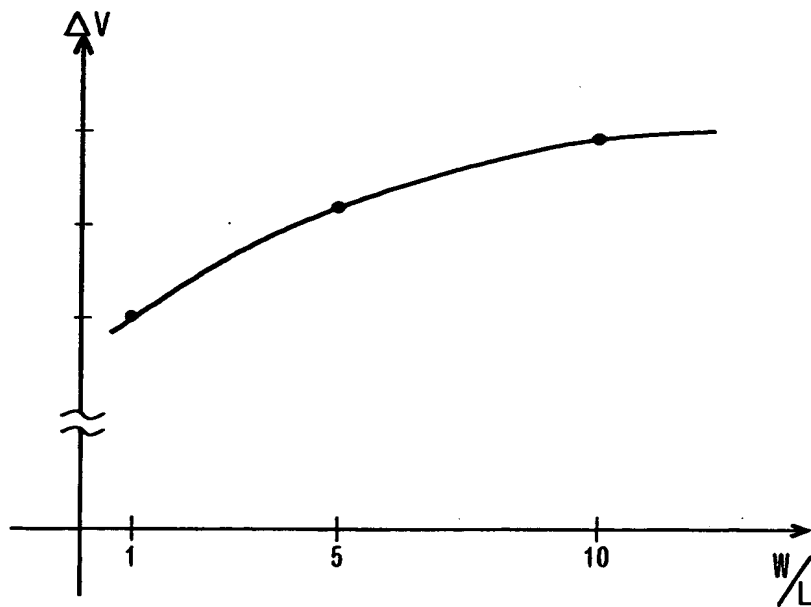
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 ゲート電圧を矩形波のパルスで入力すると、ゲート線と画素電極との寄生容量によって、ゲート電圧のたち下がりに引かれて画素電極の電圧が変動するいわゆるドロップ電圧が生じる。本願は、寄生容量が大きくてもドロップ電圧が小さい液晶表示装置を提供することを目的とする。

【解決手段】 ドロップ電圧はゲート電圧変化の時定数によるので、ゲート電圧のたち下がりをなまらせ、図3（b）の波形とすることによってドロップ電圧を小さくする。図3（b）の波形は、例えばゲートドライバ8のnチャネルトランジスタのチャンネル幅を小さくして最大電流値が小さくなるように設定することによって実現できる。

【選択図】 図1

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社

NOTICE OF GROUNDS FOR REJECTION

Patent Application Serial No. 2000-087770

Examiner: Yuji IGUCHI
Drafted Date: November 20, 2003
Mailed Date: November 25, 2003
Patent Agent for the Applicant: Naomasa SHIBANO
Patent Law Section Applied: Sections 29 (2) and 36

This patent application should be rejected on the following grounds.
The applicant may submit a statement of his argument within sixty (60) days from the mailing date of this notice.

G R O U N D S

1. This application does not meet the requirement defined in the Patent Law section 36 (4).

2. The inventions defined in the below identified claims in the present application are rejected under the Patent Law section 29 (2), because the invention described therein could have been easily made, prior to the filing of this patent application, by a person with ordinary skill in the art, on the basis of inventions disclosed in the below publications distributed in Japan or elsewhere prior to the filing of this patent application or made available to the public through means of electrical communication lines.

NOTE (refer to the citation list for the citations)

Grounds: 1

It is not clear how the formulae of Claim 5 and of paragraph

[0023] were derived. The meaning of setting the time t in this range and advantages of setting in this manner are also not clear.

Therefore, the Detailed Description of Invention does not describe the invention in a manner sufficiently clear and complete for the invention described in Claim 5 to be carried out by a person having ordinary skill in the art.

There is no description in Detailed Description of Invention regarding Claim 5 as provided for in an ordinance of the Ministry of Economy, Trade and Industry as defined in the Patent Law section 36 (4).

Grounds: 2

Claims: 1 - 9

Citations: 1 - 3

Citations 1 - 3 disclose application of a gate voltage in a manner such that it is smoother at the falling edge compared to the rising edge.

Control of smoothness of the driving waveform through a ratio of W/L between a width and a length of a transistor is known (for example, refer to Japanese Patent Laid-Open Publication Nos. Hei 6-152374, Hei 9-258703, and Hei 9-331096) and cannot be considered as a significant structure over the inventions of Citations 1 - 3.

Citation list:

Citation 1: Japanese Patent Laid-Open Publication No. Sho 63-198022

Citation 2: Japanese Patent Laid-Open Publication No. Hei 1-219827

Citation 3: Japanese Patent Laid-Open Publication No. Hei 6-003647

Record of Prior Art Reference Search Result

Searched Field: IPC 7th Edition, G02F1/133

G09G3/36

Name of DB

Prior Art Reference:

This record of prior art reference search result does not constitute
a grounds for rejection.

拒絶理由通知書

期限: 1月24日

特許出願の番号	特願2000-087770
起案日	平成15年11月20日
特許庁審査官	井口 猶二 9119 2X00
特許出願人代理人	芝野 正雅 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願は、発明の詳細な説明の記載が下記の点で、特許法第36条第4項に規定する要件を満たしていない。

記

請求項5、段落0023の式をどのように導出したのか不明であり、この時間 t をこの範囲とすることの意義も不明である。また、その作用効果も不明である。

よって、この出願の発明の詳細な説明は、当業者が請求項5に係る発明を実施することができる程度に明確かつ十分に記載されたものでない。

また、この出願の発明の詳細な説明は、請求項5に係る発明について、特許法第36条第4項の経済産業省令で定めるところによる記載がされていない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1-9
- ・引用文献等 1-3
- ・備考

各引用文献1-3には、ゲート電圧は立ち上がりに比較して立ち下がりがなま



らせて印加することが記載されている。

トランジスタの長さとの幅の比 W/L により駆動波形のなまりを制御する点は周知(例えば、特開平6-152374号公報、特開平9-258703号公報、特開平9-331096号公報等参照)であり、各引用文献1-3に記載の発明以上の格別のものとは認められない。

引用文献等一覧

1. 特開昭63-198022号公報
2. 特開平01-219827号公報
3. 特開平06-003647号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 G02F1/133
 G09G3/36
- DB名
- ・先行技術文献

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第一部光デバイス(光制御) 井口猶二
TEL.03(3581)1101内線3295 FAX.03(3580)6902